

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08288463

(43)Date of publication of application: 01.11.1996

(51)Int.Cl.

H01L 27/04

H01L 21/822

(21)Application number: 07092150

(71)Applicant:

HITACHI LTD

(22)Date of filing: 18.04.1995

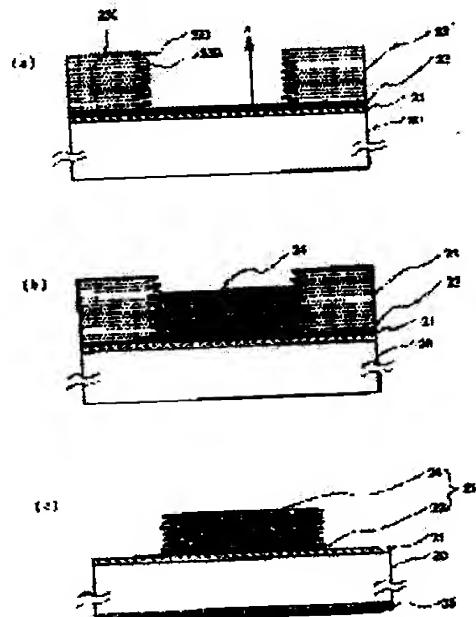
(72)Inventor:

MORI MITSUHIRO
HIGUCHI KATSUHIKO
MIYAZAKI MASARU
OBE ISAO(54) STRIPLINE, INDUCTOR ELEMENT, MONOLITHIC MICROWAVE INTEGRATED CIRCUIT AND THEIR
MANUFACTURE

(57)Abstract:

PURPOSE: To prevent high resistance of a stripline formed on a substrate due to skin effect of high-frequency electric wave and provide the stripline that allows small loss by permitting the cross-section of the interconnection layer of the stripline to have a shape which has different widths in the thickness direction.

CONSTITUTION: A resist pattern 23 which corresponds to a stripline is formed. At the time of exposing photoresist, standing waves are formed on a resist layer due to interference of incident waves from a light source with reflected waves from the resist bottom plane 230. Then, when a positive resist is used, the node of the standing wave is easily left to be protruding part 231, and the loop of the standing wave becomes a recessed part 232. After removing the resist 23 by resist remover, unnecessary part of a base film 22 for electrolytic plating is removed by ion milling, by using an interconnection layer 24 as a mask, and a stripline 25 is formed. The surface area is increased by providing ruggedness on the sides of the interconnection layer 24. Thus, surface current is increased and high-frequency resistance is reduced.



LEGAL STATUS

Searching PAJ

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-288463

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl.*

H 01 L 27/04
21/822

識別記号

府内整理番号

F I

H 01 L 27/04

技術表示箇所

D
F
L
P

審査請求 未請求 請求項の数16 ○L (全13頁)

(21)出願番号 特願平7-92150

(22)出願日 平成7年(1995)4月18日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 森 光廣
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 鰐口 克彦
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 宮▲崎▼ 勝
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 弁理士 中村 純之助

最終頁に続く

(54)【発明の名称】ストリップ線路、インダクタ素子、およびモノリシックマイクロ波集積回路、ならびにこれらの製造方法

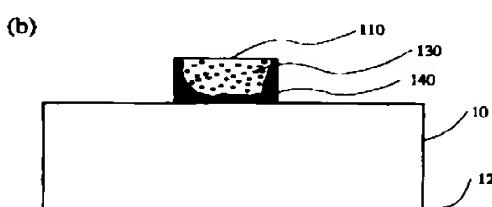
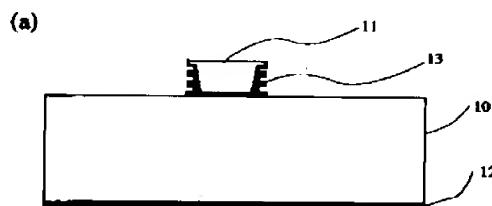
(57)【要約】

【目的】高周波電流の表皮効果による線路の高抵抗化を防止できる構造を有する低損失のストリップ線路を提供するとともに、これにより低損失のモノリシックマイクロ波I Cを提供する。

【構成】ストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異なる構造、あるいは配線層に絶縁物の粒子または空隙を含む断面構造を備えるストリップ線路、該ストリップ線路の螺旋状形状を有するインダクタ素子、およびこれらを含むモノリシックマイクロ波I C、ならびにこれらの製造方法。

【効果】低伝送損失のストリップ線路を作製でき、また、インダクタ素子の低損失化、およびモノリシックマイクロ波I Cの高利得化、低雑音化ができる。

図1



【特許請求の範囲】

【請求項1】基板上に形成されたストリップ線路において、該ストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異にする形状を少なくとも一部に備えることを特徴とするストリップ線路。

【請求項2】請求項1記載のストリップ線路において、上記基板が半絶縁性半導体基板であることを特徴とするストリップ線路。

【請求項3】請求項1または請求項2記載のストリップ線路において、上記厚み方向に幅の大きさを異にする形状が、線路の側面に凹凸を有するものであることを特徴とするストリップ線路。

【請求項4】請求項1または請求項3記載のストリップ線路において、上記厚み方向に幅の大きさを異にする形状が、導路の側面に凹みを有するものであることを特徴とするストリップ線路。

【請求項5】請求項1から請求項4の何れかに記載のストリップ線路を螺旋状に巻いた形状を有することを特徴とするインダクタ素子。

【請求項6】能動素子と、ストリップ線路と、両者をインピーダンス整合させる整合回路を有するモノリシックマイクロ波集積回路において、

上記ストリップ線路は、請求項1から請求項4の何れかに記載のストリップ線路の構成を備え、また、インダクタ素子を含む整合回路には、該インダクタ素子として、請求項5記載のインダクタ素子または少なくとも上記請求項1から請求項4の何れかに記載のストリップ線路の構成を備えることを特徴とするモノリシックマイクロ波集積回路。

【請求項7】基板上に形成されたストリップ線路において、該ストリップ線路の配線層の断面構造が、絶縁物り粒子または空隙を含む構造を少なくとも一部に備えることを特徴とするストリップ線路。

【請求項8】請求項7記載のストリップ線路において、上記基板が半絶縁性半導体基板であることを特徴とするストリップ線路。

【請求項9】請求項7または請求項8記載のストリップ線路を螺旋状に巻いた形状を有することを特徴とするインダクタ素子。

【請求項10】能動素子と、ストリップ線路と、両者をインピーダンス整合させる整合回路を有するモノリシックマイクロ波集積回路において、

上記ストリップ線路は、請求項7または請求項8記載のストリップ線路の構成を備え、また、インダクタ素子を含む整合回路には、該インダクタ素子として、請求項9記載のインダクタ素子または少なくとも上記請求項7または請求項8に記載のストリップ線路の構成を備えることを特徴とするモノリシックマイクロ波集積回路。

【請求項11】能動素子と、ストリップ線路と、両者を

インピーダンス整合させる整合回路を有するモノリシックマイクロ波集積回路において、上記能動素子と該能動素子に所定の電圧を供給するための抵抗素子とのうち少なくとも上記能動素子を含む構成。

上記ストリップ線路には、請求項6または請求項10記載のストリップ線路を備え、

上記整合回路には、容量素子とともに請求項6または請求項10記載のインダクタ素子の素子構成を備えることを特徴とするモノリシックマイクロ波集積回路。

【請求項12】少なくとも、露光時に発生する定在波により、側面に波形形状を形成するホトレスチを基板上に形成する工程と、該ホトレスチをマスクとして選択的に導体パターンを形成する工程からなることを特徴とするストリップ線路の製造方法。

【請求項13】少なくとも、基板上のボン型レジストの一部を最適露光条件よりも不足り露光量で露光する工程と、該レジストを現像して直角状に凹凸を付ける工程と、該レジストをマスクとして選択的に導体パターンを形成する工程からなることを特徴とするストリップ線路の製造方法。

【請求項14】少なくとも、基板上にストリップ線路用配線層を形成する工程において、めっき液に絶縁物の細粒を分散させた液を用いたことを特徴とするストリップ線路の製造方法。

【請求項15】請求項14記載のストリップ線路の製造方法において、上記絶縁物の粒子が有機化合物であり、熱処理工程による変化によってストリップ線路用配線層内に空隙を形成することを特徴とするストリップ線路の製造方法。

【請求項16】請求項12から請求項15の何れかに記載のストリップ線路の製造方法を含むインダクタ素子またはモノリシックマイクロ波集積回路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、移動通信、衛星通信、および衛星放送等のマイクロ波、ミリ波領域で動作するストリップ線路の低損失化の構造および製造方法に係り、またこれによる集積回路の高性能化の改善に関する。

【0002】

【従来の技術】小型の高周波回路を実現するために高周波動作する能動素子と、インピーダンス整合用のストリップ線路、インダクタ素子、容量等の受動素子をGaAs、InP等の半絶縁性化合物半導体基板上に形成するモノリシックマイクロ波集積回路(Monolithic Microwave Integrated Circuit: 以下、モノリシックマイクロ波ICなど)が実用化されている。このモノリシックマイクロ波ICの高利得化、高出力化などの高性能化の為には、能動素子の高性能化とともに、ストリップ線路の

低損失化が必須である。従来のモノリシックマイクロ波トランジスタに用いられるストリップ線路の伝送損失に関しては、例えば阿部英太郎著『マイクロ波』の「3. 6 マイクロストリップの損失」の節（43頁～47頁；1983年内・東京大学出版会）において論じられている。図2に従来のストリップ線路の断面図を示す。厚さ h の半絶縁性半導体基板1の上に、幅 w 、厚さ t のストリップ線路1'がAとBとの導体で形成されている。1'は裏面電極である。

【0003】ストリップ線路の特性インピーダンス Z_0 は、マイクロ波、ミリ波回路において整台回路を作製する上で重要なパラメータであり、 w と h の比によって決まる。すなわち、基板厚み h および基板の比誘電率 ϵ_r が与えられれば、所望の特性インピーダンス Z_0 を得るためにストリップ線路幅 w は自動的に決まる。図3にストリップ線路の幅による、特性インピーダンスの変化を示す。なおストリップ線路の特性インピーダンス Z_0 は、近似的に次式で表される。

【0004】

【数1】

$w/h \ll 1$ の時

$$Z_0 = (60/\sqrt{\epsilon_r}) \ln(8h/w)$$

$w/h \gg 1$ の時

$$Z_0 = (120\pi/\sqrt{\epsilon_r})(h/w)$$

..... (数1)

ここで

Z_0 ；特性インピーダンス

w ；ストリップ線路幅

h ；基板厚み

ϵ_r ；基板の比誘電率

30

$$\delta = 1.59 \sqrt{\frac{\rho}{f}}$$

..... (数2)

ここで

δ ；表皮深さ (μm)

ρ ；パルクの比抵抗 ($\mu \Omega \cdot cm$)

f ；動作周波数 (GHz)

【0007】すなわち、端の無い無限平板の導体を流れる高周波電流はその厚さ方向に一様に流れることはない。このため、導体厚みを表皮深さの2倍から3倍まで厚くするのは高周波抵抗 R の低減に効果があるものの、それ以上導体を厚くしても R の低減効果はほとんどない。次に、図2の矩形断面を有する導体1'（この部分を以下単に配線層ともいう）に流れる高周波電流の電流分布を示す。図4のグラフの実線はそれぞれ導体の上面と下面の電流 I (x) の分布を表している。導体1'の断面において、1'のハッキングを施した部分

【0005】次に、線幅 w を有するストリップ線路の伝送損失に関して述べる。伝送損失は、導体損、誘電損、放射損の順に小さくなり、導体損の割合が最も大きい。導体損は、高周波電流がストリップ線路に流れる際に、その抵抗で生じるジュール損である。動作周波数を上とすると、導体損は $\propto f$ に比例して増大するため、高周波動作するほど大きくなる。一般に、高周波における導体の抵抗 R は直流抵抗 R_0 より大きくなる。これは高周波においては導体断面中の電流の分布が一様でなく、電流が導体の内部より、表面の方に集中して流れる表皮効果のためである。電流密度が表面の $1/e$ に低下する厚みを表皮深さ δ と言い、動作周波数 f に依存し、次式で表される。

【0006】

【数2】

20

が電流密度の高い場所に対応しており、このことからわかるように、導体底面と導体下端に集中して電流は流れることになる。

【0008】

【発明が解決しようとする課題】上記のように、ストリップ線路の矩形断面の導体に流れる電流の流れ方は、比抵抗と周波数を与えれば一義的に決まっているのである。また一方、導体の線幅 w は特性インピーダンスにより決まるパラメータであり、勝手に高周波抵抗 R を低減するために広くすることはできないという制約から、ス

50

ストリップ線路の高周波抵抗Rを低減するためには、線路をハシケル比抵抗率の低い金属で、表皮効率の3倍から3倍半分の厚さを有する矩形断面構造を作製する以外に方法はなかつた。

【0009】本発明の目的は、高周波電流の表皮効果による線路の高周波抵抗を防止できる構造を有する低損失ストリップ線路を提供するとともに、これにより低損失モルタル・クライクロ波ICを提供することにある。

【0010】

【課題を解消するための手段】上記の目的を達成するため、本発明のストリップ線路は、一つには基板的に、基板上に形成されたストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異にする形状を少なくとも一部に備えることを特徴とする。

【0011】ここで、上記基板としては従来技術で用いられているように、半絶縁性半導体基板を用いることができ、本発明は従来技術の上に広く適用できるものである。

【0012】この場合に、上記厚み方向に幅の大きさを異にする形状としては、図1(a)に本発明によるストリップ線路の断面構造例を示すように、例えば半絶縁性半導体基板100上に形成した導体層110の側面に凹凸を有するようにすればよい。なお、110は裏面電極である。

【0013】あるいは、上記厚み方向に幅の大きさを異にする他の形状としては、例えば図1(c)の導体47のコマ状の断面形状にみられるように、線路の側面に凹みを有するものであつてもよい。

【0014】またあるいは、図1(d)に本発明による別のストリップ線路の基本的断面構造を示すように、線路の配線層のみならず、ともに絶縁物の粒子または空隙を有するような構造にしててもよい。図1(d)では、金属マトリックス層110中に無機化物又は有機化物130を埋め込んだ複合化材料でストリップ線路を構成している。

【0015】また、上記の目的を達成するための本発明のインダクタ素子は、例えば図2の導体47に例示がみられるように、上記のようなストリップ線路を、螺旋状に巻いた形状を持たせる。これによりQの高いインダクタ素子が得られる。

【0016】さらに、上記の目的を達成するための本発明のモルタル・クライクロ波ICでは、能動素子と、ストリップ線路と、両者をインピーダンス結合させる整合回路を有するモルタル・クライクロ波ICにおいて、上記のような本発明のストリップ線路を用い、整合回路としてインダクタ素子を構成要素として含む場合はそのインダクタ素子として、例えば使用周波数帯によっては上記発明のインダクタ素子を、あるいは使用周波数帯によっては所要長の上記本発明のストリップ線路を用いる構成を少なくとも備えることとする。

【0017】この場合に、上記モルタル・クライクロ波ICとしては、例えば図10に示すように、能動素子71とともに該能動素子71に所定の電圧を供給するための抵抗素子73を含む構成と、配線層74を有するストリップ線路の構成と、また整合回路には容量素子72とともにインダクタ素子78の構成を含んで構成してもよい。能動素子に所定の電圧を供給するための抵抗素子は、当該のモルタル・クライクロ波ICの外部回路に含む場合もある。例えば図5に示す60GHzの高周波のモルタル・クライクロ波ICで、能動素子31、容量素子32、ストリップ線路371で構成された例示に示すように、上記の抵抗素子は含まず、また、ストリップ線路によって整合回路のインダクタ78の素子を形成することもできる。

【0018】また、上記目的を達成するための本発明のストリップ線路の製造方法では、例えば図4に示すように、少なくとも、露光時に発生する定在波により、側面に凹凸形状を形成するホーリングドリル基板上に形成する工程と、該リストをマスクとして選択的に導体マスクを形成する工程からなることを特徴とする。

【0019】あるいは、ストリップ線路の他の製造方法として、少なくとも、基板上のポリ型マスクの一部を最適露光条件よりも不足の露光量で露光する工程と、該マスクを現像して側面形状に凹凸を付ける工程と、該マスクをマスクとして選択的に導体マスクを形成する工程からなることをとして、例えば図6の47の導体形状のストリップ線路を形成してもよい。

【0020】またあるいは、ストリップ線路の別の製造方法として、少なくとも、基板上にストリップ線路用配線層を形成する工程において、例えば図8に示すように、めらき液に絶縁物の細粒を分散させた液を用いるようにしててもよい。

【0021】この場合に、上記の絶縁物の粒子を有機化合物で形成し、熱処理工程によるその炭化によってストリップ線路用配線層内に空隙を形成することとする。

【0022】また、上記の目的を達成するため、本発明では、ストリップ線路を以上の方法で製造するのみならず、これを用いて集積回路素子としてのインダクタ素子を形成し、あるいはこれらを含んでモルタル・クライクロ波ICを形成することとする。

【0023】

【作用】導体の側面は電界が集中しやすく、電流密度は高くなる。本発明で、ストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異にするような形状とすることとは、電流密度の高い部分の表面積を大きめすることになる。すなわち、ストリップ線路の配線層の側面に凹凸や凹みをつけることにより、表面積を拡大させ、表面電流を増大させることができになり、高周波抵抗の低減が可能になる。図1(a)に配線層の側面に凹凸を

7

つけた場合の本発明によるストリップ線路内における電流密度分布の高い場所をハーフング13により示す。本発明によれば、従来法による同寸法を有する鋼材のような配線層の場合と比較して、側面における表面電荷が増加し、高周波直列抵抗Rを低いストリップ線路を作製することが可能になる。

【0024】別の方法として、図1-(E)に示すように、絶縁物微粒子あるいは微細な空隙130をもつて、配線層の表面積を増大する効果がある。電流密度の大きい部分を、ハーフング110で示す。本発明によれば、従来法による同寸法を有する配線層と比較して、配線層底面では深いまで電流が流れ、配線層側面においては表面積を増加させることになり、電流を増加させることになる。そのため本発明によるストリップ線路の高周波直列抵抗Rでは、従来素子に比べ直列抵抗R₀は相対的に大きくなるが、動作周波数を増加していくとある周波数から逆転する。その結果、高周波直列抵抗Rの低いストリップ線路を作製できことになる。

【0029】そこで、ストリップ線路のみならず、これを用いてインダクタ電子を形成し、またこれらによりモードシフトマイクロ波干渉を形成することにより、これらを低損失化することが可能になる。この低損失化はモノラルシフトマイクロ波干渉の高利得化、低雑音化、低消費電力化などの高性能化をもたらすことになる。

[00 : 6]

【寒流例】

(実施例1) 図4は本発明による3.0GHz帯で動作するGaAsモノリシックマイクロ波ICに適用するストリップ線路の断面構成であり、以下に詳細にその製造方法を説明する。

(a) 基板厚さ6.00μmの半絶縁性GaN-A_x基板2-0上にSiO₂等の絶縁膜2-1を6.00nm被着し、もつき用下地金属層2-2を例えば下からTi-Al_x（2.00nm/1.50nm）の二層構造を有する金属層が形成する。Ti_xは絶縁膜2-1との密着性確保のために用いる。次に油卓のホトリソグラフィー技術を用いてストライプ線路に対応するシリコンバターン2-3を形成する。ホトマスクを露光するととき、光源からの入射波としてストリップ下面2-3-0からの反射波の干渉によってシリコン層に定在波ができる。特に、もつき用下地金属層2-2のように反射率が高い金属層がシリコン下面2-3-0と接している場合は、特に著しい。即ち、定在波の節の部分は露光不足となり、現像の段階で、ホトマスク方法とシリコン干渉法の間に偏差が生じる。本図の如くリストにポジ型シリコンを用いれば、定在波の節の部分は残りやすくなり、リストパターンの凸部2-3-1になり、定在波の腹の部分がシリコンリストパターンの凹部2-3-2になる。一方ネガ型シリコンを用いる場合は逆になり、定在波の節の部分は現像液に溶けやすく、シリコンリストパターンの凸部を形成し、腹の部分が凹部になる。ホトリソグラフィーで用いる光

8

源は、超高圧水銀灯のg線405 nmあるいは、i線365 nmである。真空中における波長が405 nmの場合、レンジスト中での波長は270 nmになるので、レンジスト下面230から距離xに対し $x = 135 \times N$ ($N = 0, 1, 2, \dots$) すなわち0 nm、135 nm、270 nm、405 nm、…に節ができる。 $x = 135(N+1/2)$ すなわち6.8 nm、20.3 nm、…に腹ができる。i線の場合もやや間隔が狭くなるが、同様に定在波の効果がレンジスト断面に現われる。通常は、レンジスト現像後のポリトペックにより、レンジストの定在波による凹凸をなすのが一般的であるが、本法ではこの効果を積極的に利用する。

【0027】(b) 次にシジスト2-3をマスクとして、Auの選択電解めっき法により、めっき田子地金属層2-2に電流を流し、配線層2-4を形成する。刮線層2-4は定在波によりできたシジストの凹凸を転写された形状になる。3.0 GHzで動作するGaAsモリブデンゲート波 π Cの場合、Auのストリップ線路の表面間隔は約0.43 μ mである。ストリップ線路の膜厚は、約3倍仕選択、1.3 μ mを用いる。

【0028】(b) リスクト23をリスク削離時に除去後、配線層24をマスクとして、電解めっき用の下地金属膜22の不要部分をオシミリングで除去する。以上の工程を経て、ストリップ線路25は形成される。最後に、半導体性のa-A_xs基板20を5.0 μmまで薄層化し、裏面電極26を被覆する。

【0029】一例としてG-a-S基板2.0の厚み5.0μmにおける特性インピーダンス $Z_0 = 1.00$ Ωのストリップ線路に対する、本発明の効果を述べる。ストリップ線路の幅はw=3μmであり、線路の側面には0.135μm周期の凹凸が付いている。凹凸の振幅は、ピーカー・ピークで約0.25μmである。表皮深さは0.10、0.13μmであり、周期、振幅とももの約1.25から1.3になっている。表面電流は従来の構造に比べてストリップ線路の側面が増加したのに対応して流れやすくなり、高周波抵抗Rは従来の8.0%に低減である。この結果、ストリップ線路の導体損を低減でき、その伝送損失を従来の2.05dB/cmから1.22dB/cmに改善できる。上記の凹凸の振幅はストリップ線路の動作周波数における表皮深さwを考慮する必要があり、実験的に、表皮深さの1/10以上から2倍以下の範囲であることが望ましい。

【0030】(実施例2)以下に、本発明の別の実施例を図5の6.0GHz帯で動作するモリソニックマイク放工法の断面工程図を用いて詳細に説明する。

(a) 半絶縁性GaAs基板300上にInGaAsチャップを有するヒートモルフィックHEMT用エピタキシャル成長層301を成長させたウエフ300を用意する。まず能動素子として、InGaAsチャップ・ヒートモルフィックHEMT31をメサエンジニアリングにより

アイソレーショングした領域に形成する。この電極3.1.0.1:イン電極3.1.1をAuGe-W-Ni/Auで、ゲート電極3.1.2をAlにより形成する。MIM(金属-絶縁物-金属 Metal Insulator Metal)容量の下層電極3.2.0をゲート電極工程で、Alを用いてあらかじめ形成しており、3.3は絶縁膜であり、SiO₂あるいはPSG CVD膜5.00 nmを用いる。

【0031】(b) MIM容量3.2は下層電極3.2.0のAl層と第1の配線層3.4のMo/Au層によりアズマス+N膜3.2.1を挟んでサンドイッチ構造で形成する。3.5はSiO₂あるいはPSG CVDにより形成された絶縁膜6.00 nmである。

【0032】(c) レジスト3.6(1 μm)をバターンニングし、コントラクト3.6.0およびストリップ線路形成部3.7.0に開口する。次にTi/Au(2.0 nm/1.50 nm)の二層構造を有する金属膜でめっき用下地金属層3.7を室温被着により被着する。その後、エアブリッジ配線(空間配線)部およびストリップ線路形成部以外の部分を「レジスト3.6」(1.0 μm)でめっき用下地金属層3.7を保護する。このレジスト3.6には定位被物墨を利用して、断面にレジストの凹凸を形成している。

【0033】(d) レジスト3.6'をマスクに選択電解めっき法により、めっき用下地金属層3.7上にAuを8 μm被着し、ストリップ線路3.7.1及びエアブリッジ3.7.2を形成する。ストリップ線路3.7.1の膜厚としては、5~0.3 μmが3倍、即ち0.9 μmあれば電気抵抗の上では十分であるが、エアブリッジ3.7.2の強度の観点から厚くしている。最後に、レジスト3.6'不要なめっき用下地金属層3.7、レジスト3.6を順次ドライエチテングやイオノミリング法で除去する。また半絶縁性GaAs基板3.0.0を5.0 μmまで薄層化し裏面電極3.8を被着する。

【0034】以上のプロセスを経て作成された低雑音増幅器の性能について以下に述べる。モノリシックマイクロ波工事に用いる入出力トーピーダンス整音回路には、容量とインダクタンスの素子が用いられ、その低損失化は低雑音増幅器等の回路にとって重要である。本実施例は、6.0 GHz帯域の高い周波数帯域であるので、インダクタ系の素子としてストリップ線路自体を用いている。そこで、整合回路に用いるストリップ線路の寄生抵抗Rが大きいと、回路の利得は低下する。さらに利得が低下しただけ、雑音指数も増大し、回路性能の劣化を生じる。これためストリップ線路の伝送損失は、能動素子である1.6 GHz GaAsチャネル・トモルフィックHBTとMIMの雑音相殺に比べ、回路上して提供できる雑音指数を劣化させるという問題がある。本発明によれば、ストリップ線路の伝送損失を低減することができ、高性能の高底波低雑音増幅器が作製できた。すなわち、従来は3V動作、消費電流8mAで、6.0 GHzにおいて動

作する低雑音増幅器の電力利得はPG-9-5 dB、雑音指数NF=2.5 dBであったが、本発明によるストリップ線路を用いた低雑音増幅器は、同駆動電流で、PG-10.0 dB、NF=2.0 dBがえられた。

【0035】(実施例3)以上に、本発明の別の実施例を図6を用いて説明する。図6は、本発明のストリップ線路を別の実施例を螺旋状に巻いて形成したインダクタ素子の形成工程を断面図的に示すものである。

10. 【0035】(a) GaAs、InPなどの半絶縁性半導体基板4.0上にSiO₂等の絶縁膜4.1を6.00 nm被着し、第1の金属配線層4.2を例えば下からMo/Au/Mo(1.50 nm/1.0 μm/1.50 nm)の三層構造を有する金属膜で形成する。第1の金属配線層は本発明の例えば図1(a)の構造を有するストリップ線路である。配線幅は1.0 μm~4.0 μmをもちいる。第2の絶縁膜4.3、例えはSiO₂、SiNあるいはポリイミド樹脂等を6.00 nmあるいは6.0 μm被着後、通常のホトリグラフィー技術を用いてコントラクト孔4.4を開口する。4.2はコントラクトを表す。

【0036】(b) 次にめっき用下地金属膜4.6を、例えば下からTi(2.0 nm)/Au(1.0 μm)の二層膜で形成する。膜の形成手段としては、蒸着法、スパッタ法が用いられる。次に、第2の配線層を選択めっきにより形成するため、マスク材として、ザン型レジスト4.4'厚さ1.0 μmのバターンを形成する。厚膜のレジストの下の部分の露光量が不足の状態で露光をやめて現像すると、レジスト側面は図のような湾曲した形状となる。次にホトリレジスト4.4'のバターンをマスクに、選択電解めっき法により、第2の配線層4.7を8 μmのAuでめっき膜で形成する。配線層の線幅1、線間距離sは1~1.6 μmを用いる。

【0037】(c) ホトリレジスト4.4'をレジスト剥離材で除去後、第2の配線層4.7をマスクとして、電解めっき用の下地金属膜4.6をオーニングで除去する。オーニングにより第2の配線層4.7のAuの厚みは約7 μmになる。最後に、半絶縁性半導体基板4.0を1.00 μm~2.00 μmまで薄層化し、その裏面に裏面電極4.8を被着する。以上の工程で形成したスパッタインダクタ素子の断面鳥瞰図を図7に示す。第2の配線層4.7は上面に比、基板側がくびれて凹みを生じている。めっき用下地金属膜4.6は第2の配線層4.7をマスクにオーニングで加工しているため最もなり、基板側のくびれより幅が広い。本発明によれば電流の集中する配線層側面の表面積を増大させることができ、インダクタ素子の外形寸法は小型でありながら、高誘導における抵抗を低減できる。

【0038】配線幅1=1.8 μm、線間距離s=1.4 μmの巻数6ターンでし=1.0 nHのスパイクルインダクタ素子について、従来構造のインダクタ素子と、本発明

によるインダクタ素子について、そのQ値及び寄生抵抗Rを比較した。本発明のインダクタ素子の第2の配線層4-2は厚さ7μmのAuめっき膜であり、めっき用下地金属膜1-6には電気抵抗の低いAuを1.2μm用いている。移動通信で用いられる周波数F=2GHz付近における表皮深さδは約2.2μmである。表面電流は第2の配線層1-7の下端面と、めっき用下地金属膜1-6とに集中して流れれるが、側面を流れれる表面電流は從来に比べ増大する。この結果、2GHzにおけるインダクタ素子の寄生抵抗値Rは約20%低減でき、電力損失を表す性能指數であるQ値も1.5から1.8に改善されている。このインダクタ素子を、3V動作、消費電流2mAで、2GHzにおいて動作するGaAs低雑音増幅器の整合回路に適用したところ、電力利得はPG=1.3、5dB、雑音指數NF=1.6dBであり、従来のものに比べ電力利得が0.7dB、NFが0.5dBの改善が図れた。

【0039】本実施例は、配線層の側面に凹みを設けたストリップ線路を螺旋状にして形成した例であるが、ストリップ線路として図1に示すような凹凸を設けた形状や他の形を用いることもできる。また、モルタルやマウント板上に組み込むストリップ線路としても何れの形状もかまわない。これらがストリップ線路は、基本的に、配線層の断面形状がそれを方向に幅の大きさを異にする形状を有する本発明の実施例である。

【0040】(実施例4) 図8は本発明によるさらに引いたストリップ線路の断面工程図であり、以下に詳細にその製造方法を説明する。図8(a)は絶縁物微粒子を分散しためっき層の断面図を示す。5-1は電解めっき液中に分散された絶縁物微粒子であり、電解めっきすると、金属セトトリック層5-2の中に絶縁物微粒子5-3が埋め込まれた構造ができる。5-4は半絶縁性基板、5-5はオレンジストなどマスク材、5-6はめっき用下地金属である。また絶縁物が有機化合物の場合、高温の熱処理により炭化でき金属セトトリック層5-2内に微細な空隙が形成できる。絶縁物微粒子或いは微細な空隙5-3は、配線金属の表面積を増大する効果がある。図8(b)は従来法と本筋時にによるストリップ線路の導体層における電流密度分布の比較を示す。電流密度の高い場所を、「チング5-6及び5-6」で示す。本発明によれば、従来法による同じ方法を有する配線層と比較して、配線層底面では深くまで電流が流れ、配線層側面においては表面積を増加させることになり、電流を増加させることができ。そのため本発明によるストリップ線路の直列抵抗では、従来素子に比べ直列抵抗Roは相対的に大きくなるが、動作周波数を増加していくことによる周波数から逆転する。その結果、高周波直列抵抗Roの低いストリップ線路を作製できる。

【0041】(実施例5) 図9は本発明による別のインダクタ素子の断面工程図であり、以下に詳細にその製造方法を説明する。

(a) GaAs、InPなどの半絶縁性半導体基板6-0上にSiO₂等の絶縁膜6-1を6.0μm被覆し、第1の金属配線層6-2を例えれば下からMo/Au/Mo(1.50nm×1.0μm×5.0nm)の三層構造を有する金属膜で形成する。第1の金属配線層は本発明の例えば図1(b)の構造を有するものである。配線幅は1.0μm~1.0μmを用いる。第2の絶縁膜6-3、例えばSiO₂、SiNを6.00μmあるいはポリイミド樹脂6-4μmを被覆後、通常のホトリソグラフィー技術を用いてコアクタ孔6-5を開口する。6-4はホトレジストを表す。

【0042】(b) 次に電解めっき用の下地金属膜6-6を、例えれば下からTi(2.0nm)/Ni(1.50nm)の2層膜で形成する。膜の形成手段としては、蒸着法、スパッタ法が用いられる。次に、第2の配線層を選択めっきにより形成するため、マスク材として、ホトレジスト6-4のパターンをマスクに、選択電解めっき液により、第2の配線層6-7を形成する。こりと引きめっき液に分散粒子として絶縁物微粒子を分散しておくと、絶縁物微粒子が金属セトトリック層の中に埋め込まれた配線層が形成される。セトトリックとなる金属はAu、Ag、Cuなど低電気抵抗の金属を用い、分散粒子としてはAl₂O₃、TiO₂、SiO₂、Cr₂O₃等の酸化物のほか、炭化物、窒化物を用いる。配線層の線幅1、線間距離sは1.4~1.6μmを用いる。また分散粒子としてエポキシ樹脂などの有機高分子化合物も適用可能である。その後400℃で熱処理すると、有機物は炭化し微細な空隙ができる。

【0043】(c) ホトンレスト6-4をレジスト剥離材で除去後、第2の配線層6-7をマスクとして、電解めっき用下地金属膜6-6をオレンジストで除去する。最後に、半絶縁性半導体基板6-0を1.00μm~2.00μmまで薄層化し、それ裏面に裏面電極6-8を被覆する。その後400℃で熱処理すると、有機物は炭化し微細な空隙ができる。

【0044】配線幅t=1.8μm、線間距離s=1.4μmの巻数6ターンでL=1.0nHのスペイランインダクタ素子について、従来構造のインダクタ素子と、本発明によるインダクタ素子について、インダクタの電力損失に関する性能指數であるQ値及び寄生抵抗Rを比較した。本発明のインダクタ素子の配線層2は厚さ8μmのAlめっき膜に、粒径0~2μmの絶縁物微粒子を体積濃度10%含んでおりである。移動通信で用いられる周波数F=2GHz付近における寄生抵抗値Rは約20%低減でき、Q値も1.5から1.8に改善されている。絶縁物微粒子あるいは微細な空隙5-3の最長径の寸法は、インダクタの動作周波数における表皮深さδを考慮する必要があり、実験的には、表皮深さδの1/10以上から2.50倍以下の範囲であることが望ましい。

【0045】(実施例6)以下に、本発明の一実施例を図10のモノリシックマイクロ波ICの断面工程図を用いて詳細に説明する。

(a) 半絶縁性GaAs基板7-0上にGaAs FET 7-1、MIM(Metal-Insulator-Metal)容量7-2、抵抗7-3、及び第1の配線層7-4が形成されたウエーハを用意する。GaAs FET 7-1はイオン打ち込み法によりn+、n層を、ソース電極7-1-0、ドレイン電極7-1-2をAuGe／W／Ni／Auで、ゲート電極7-1-1をAlにより形成する。MIM容量7-2は下層電極7-2-0のAl層と第1の配線層7-4のMo、Au層によりアラスマSiN膜7-2-1を控んだサンドイッチ構造である。抵抗7-3はn+層にオームノク電極7-3-1をAuGe／W／Ni／Auにより形成する。第1の配線層7-4はインダクタ素子の引出線であり、7-5は絶縁膜である。

【0046】(b) 層間絶縁膜7-6を被着後、レンダクト孔7-4-0を開口し、露状金めっきにより、絶縁物微粒子を分散したインダクタ素子7-8のコイル部分を第2の配線層7-7により形成する。金めっきの厚さは8μm、Al₂O₃の0.1μm粒子を体積濃度5~10%含んだ組成を用い、コアの線幅・線間距離は8μm×4μmを用いた。

【0047】(c) パッケージ用樹脂7-6'にてボリミスト樹脂を被着する。最後に、半絶縁性GaAs基板7-0を150nmまで薄層化し、裏面電極7-9を被着する。

【0048】以上のプロセスを経て作成された低雑音増幅器の性能について以下に述べる。モノリシックマイクロ波ICに用いる入出力インピーダンス回路には、容量とインダクタ素子が用いられ、その低損失化は、低雑音増幅器等の回路にとって重要である。すなわち、整合回路に用いるインダクタ素子の寄生抵抗Rが大きいと、回路の利得は低下する。さらに利得が低下しただけ、雑音指数も増大し、回路性能の劣化を生じる。このためインダクタ素子による損失は、能動素子であるGaAs MESFETの雑音指数に比べ、回路として提供される雑音指数を劣化させるという問題がある。本発明によれば、インダクタ素子の寄生抵抗を低減することができ、高性能の低雑音増幅器が作成できた。すなわち、従来は消費電流2mAで、1.9GHzにおいて製作する低雑音増幅器の電力利得はPG=1.3、5dB、雑音指数NF=2.0dBであったが、本発明によるインダクタ素子を用いた低雑音増幅器は、同一駆動電流で、PG=1.4、5dB、NF=1.4dBが得られた。また、消費電流を1.6mA、すなわち20%低減しても、PG=1.3、5dB、雑音指数NF=2.0dBの従来のインダクタ素子を用いた場合の回路性能が得られた。本発明によるインダクタ素子を用いることにより、回路の高利得化、低消費電力化、低雑音化が出来ることが明らかである。

【0049】(実施例7)以下に、本発明の別の実施例を図11のインダクタ素子断面図を用いて詳細に説明する。

(a) スパイクライニングゲータの第2の配線層8-5は、めっき用下地金属層8-2と絶縁物微粒子を分散した金属層8-3の間に、絶縁物粒子を含まない金属めっき層8-4を挿入でも良い。絶縁物粒子を含まないこれらの層はAu、Ag、Cu等の低電気抵抗金属膜で形成している。8-6は半絶縁性半導体基板、8-1はPSG、SiO₂等の絶縁膜、8-6'は裏面電極、8-7は第1の配線層である。

【0050】(b) 第2の配線層8-5を用いボンディングパッド等を形成する場合は、インダクタの第2の配線層8-5の構成を絶縁物微粒子を分散した金属層8-3上に絶縁物粒子を含まない金属層、例えばAu層8-4'にすると良い。

【0051】

【発明の効果】本発明によれば、高周波におけるストリップ線路の寄生抵抗Rを低減でき、さらにストリップ線路を螺旋状に巻いたスピアクライニングゲータ素子の低損失化が図れる。さらに、本発明によるストリップ線路あるいはインダクタ素子を用いたモノリシックマイクロ波ICの高利得化、低消費電力化ができる、との高性能化が図れる。

【区面の簡単な説明】

【図1】本発明によるストリップ線路の断面図。

【図2】従来のストリップ線路の断面図。

【図3】特性インピーダンスのストリップ線路幅依存性を示す図。

【図4】本発明による一実施例のストリップ線路断面工程図。

【図5】本発明による別の実施例のモノリシックマイクロ波ICの断面工程図。

【図6】本発明による別の実施例のインダクタ素子の断面図。

【図7】本発明によるインダクタ素子の断面鳥瞰図。

【図8】本発明による別の実施例のストリップ線路の断面図。

【図9】本発明による一実施例のインダクタ素子断面工程図。

【図10】本発明による一実施例のモノリシックマイクロ波ICの断面工程図。

【図11】本発明による一実施例のインダクタ素子の断面図。

【符号の説明】

1-0、4-0、5-0、6-0、8-0……半絶縁性半導体基板
1-1……側面に凹凸を有する導体

1-1'、2-5、3-7-1……ストリップ線路

1-2、2-6、3-8、6-8、7-9、8-6……裏面電極

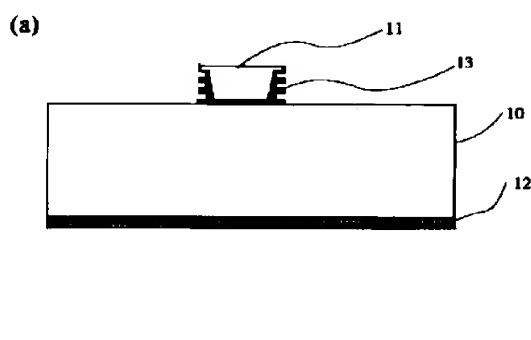
1-3、1-3'……電流密度の高い場所

15

110, 52 ……金属マトリックス層
 130 ……絶縁物微粒子或いは空隙
 140, 56, 56' ……電流密度の大きい部分
 20, 300, 70 ……半絶縁性 GaAs 基板
 21, 33, 41 ……絶縁膜
 22, 37, 46, 55, 66 ……めつき用下地金属
 23, 36, 36', 44 ……レジスト
 24 ……配線層

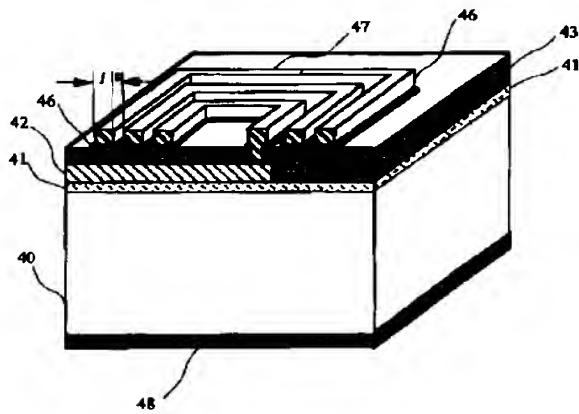
【図1】

図1



【図7】

図7

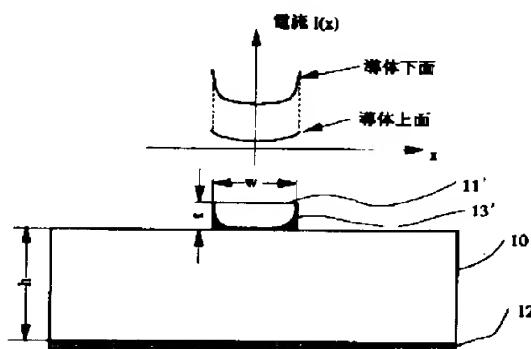


16

61, 76 ……層間絶縁膜
 41, 62, 74, 87 ……第1の配線層
 43 ……第2の絶縁膜
 47, 67, 77, 85, 85' ……第2の配線層
 51, 53 ……絶縁物微粒子
 71 ……GaAs FET
 78 ……インダクタ素子

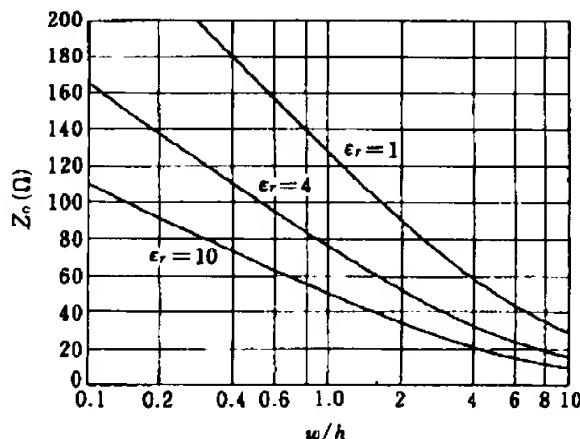
【図2】

図2



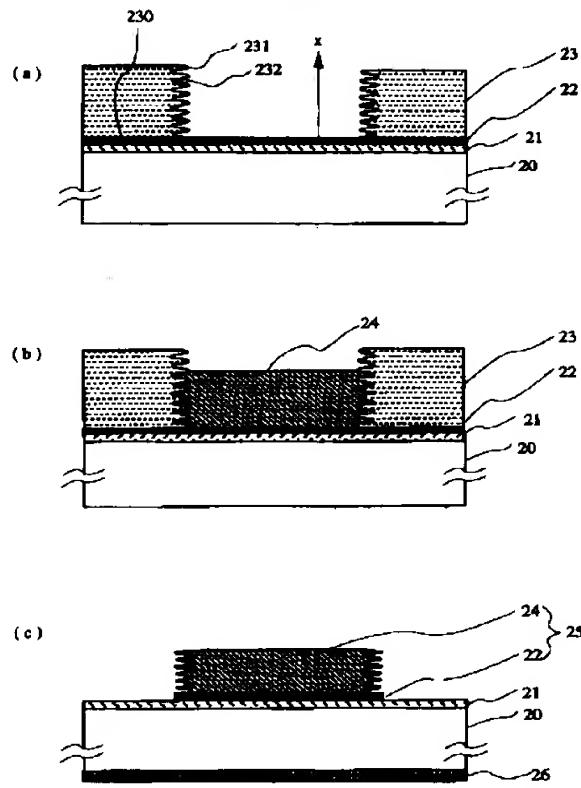
【図3】

図3



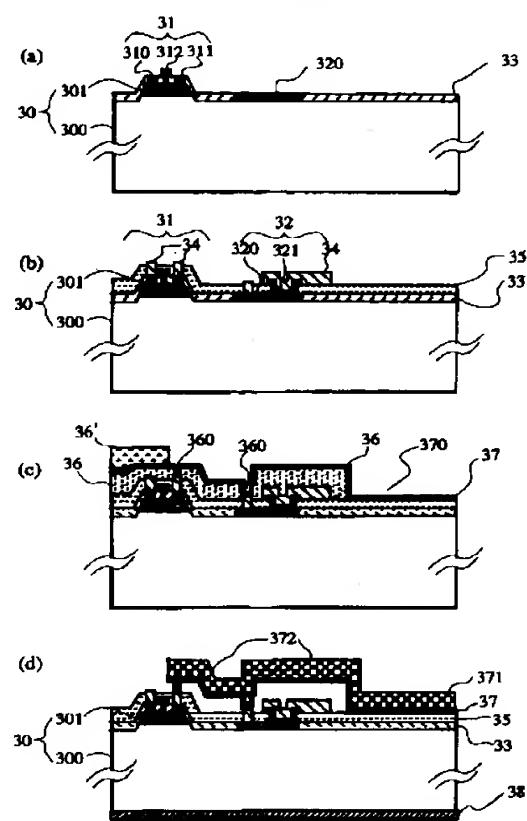
【図4】

図4



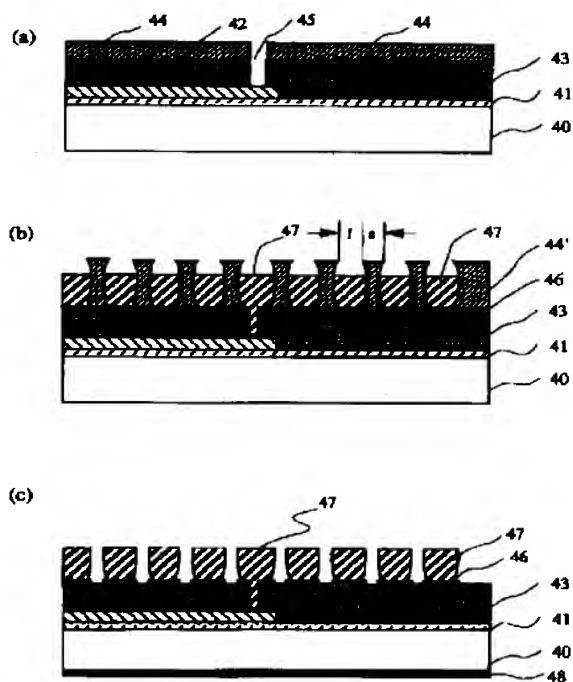
【図5】

図5



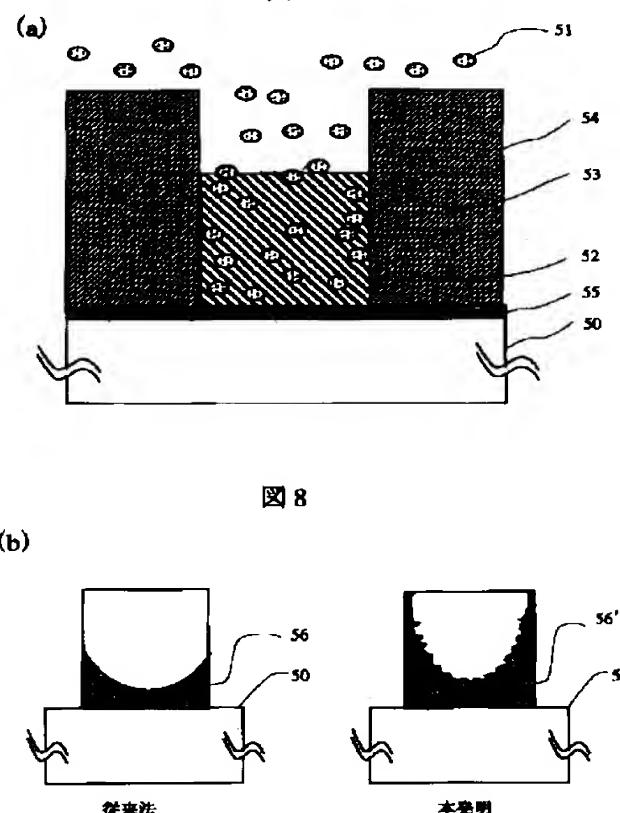
【図6】

図6



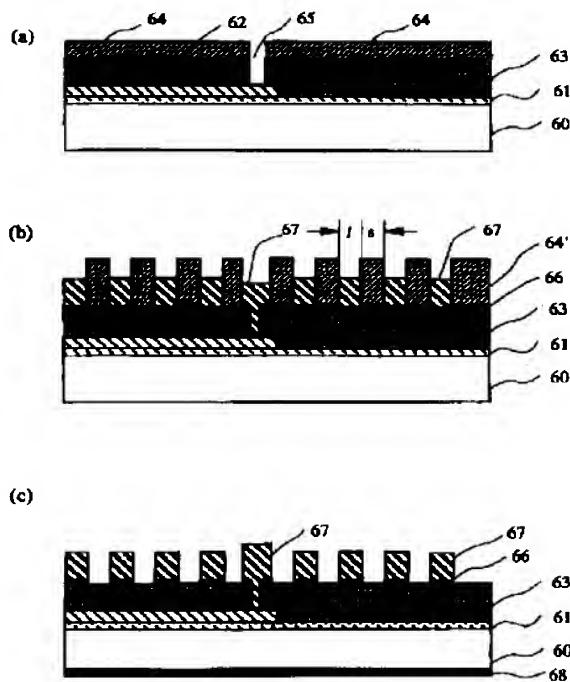
【図8】

図8



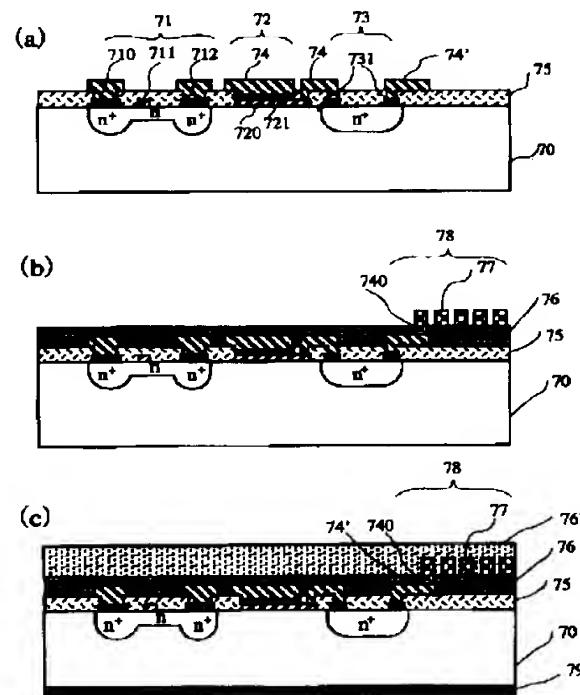
【図9】

図9



【図10】

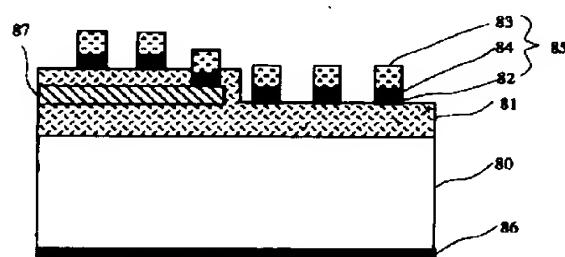
図10



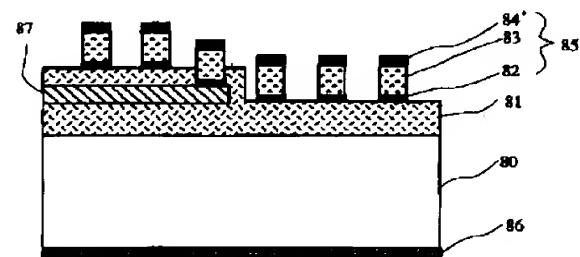
【図11】

図11

(a)



(b)



フロントページの続き

(72) 発明者 大部 功

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内